

Taktsynchronisierung und Zeitmessung in einem verteilten Datenerfassungssystem

SEI-Tagung am HZG, 12.03.2014

P. Födisch, J. Sandmann, B. Lange, P. Kaefer
Helmholtz-Zentrum Dresden-Rossendorf



2. Motivation Anwendung

- Detektorsystem für medizinische Anwendung
- Klinischer Einsatz erfordert off-the-shelf Komponenten
- Bildgebendes Verfahren erfordert Zeitstempel für alle Ereignisse im verteilten System (Genauigkeit $\leq 1\text{ns}$)
- Synchronisierung der Detektormodule!

2. Motivation

Dedizierte Taktverteilung vs. Synchrones Ethernet

	Dedizierte Taktverteilung	SyncE
- Installationsaufwand	Pegelwandler, Kabel	Datenport
- Skalierbarkeit	Fanout, Buffer	PortanzahlSwitch/Master
- Frequenzstabilität (Jitter)	Masteroszillator (<1ps)	< 50ps
- Synchronisierung		
1. Zeitstempel	nicht möglich ohne	Protokollbasiert
2. Phasenlage	Datenlink	

Absolutes Timing mit dedizierter Taktverteilung nicht möglich!

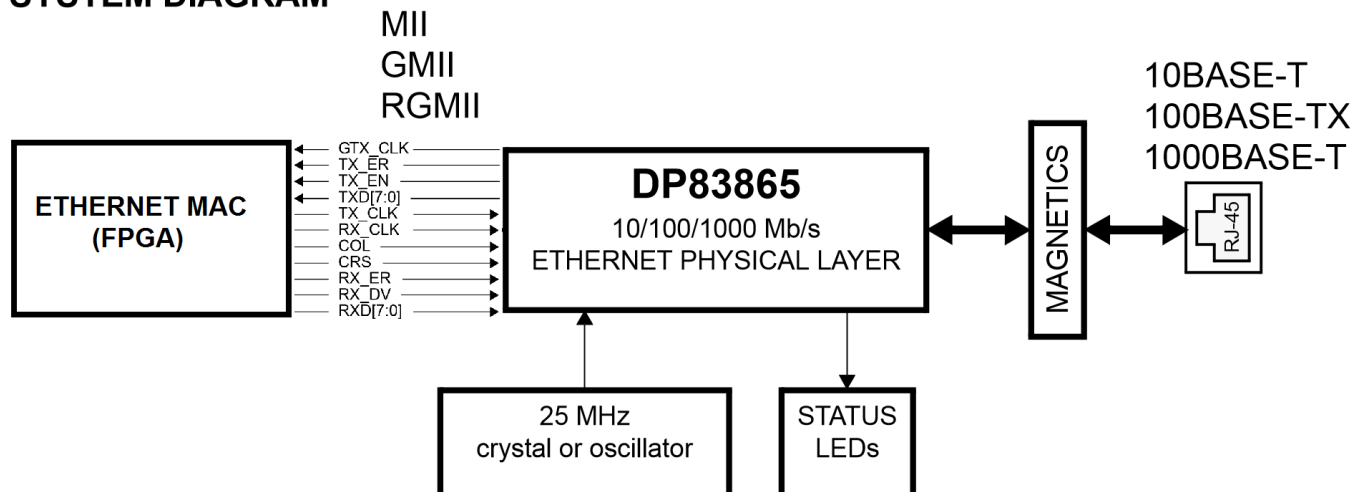
2. Systemaufbau

Gigabit Ethernet Interface

- 2x Texas Instruments Gig PHYTER DP83865
- FMC LPC Steckverbinder
- Xilinx Spartan 6 FPGA



SYSTEM DIAGRAM



PHYTER® is a registered trademark of National Semiconductor Corporation

2. Systemaufbau

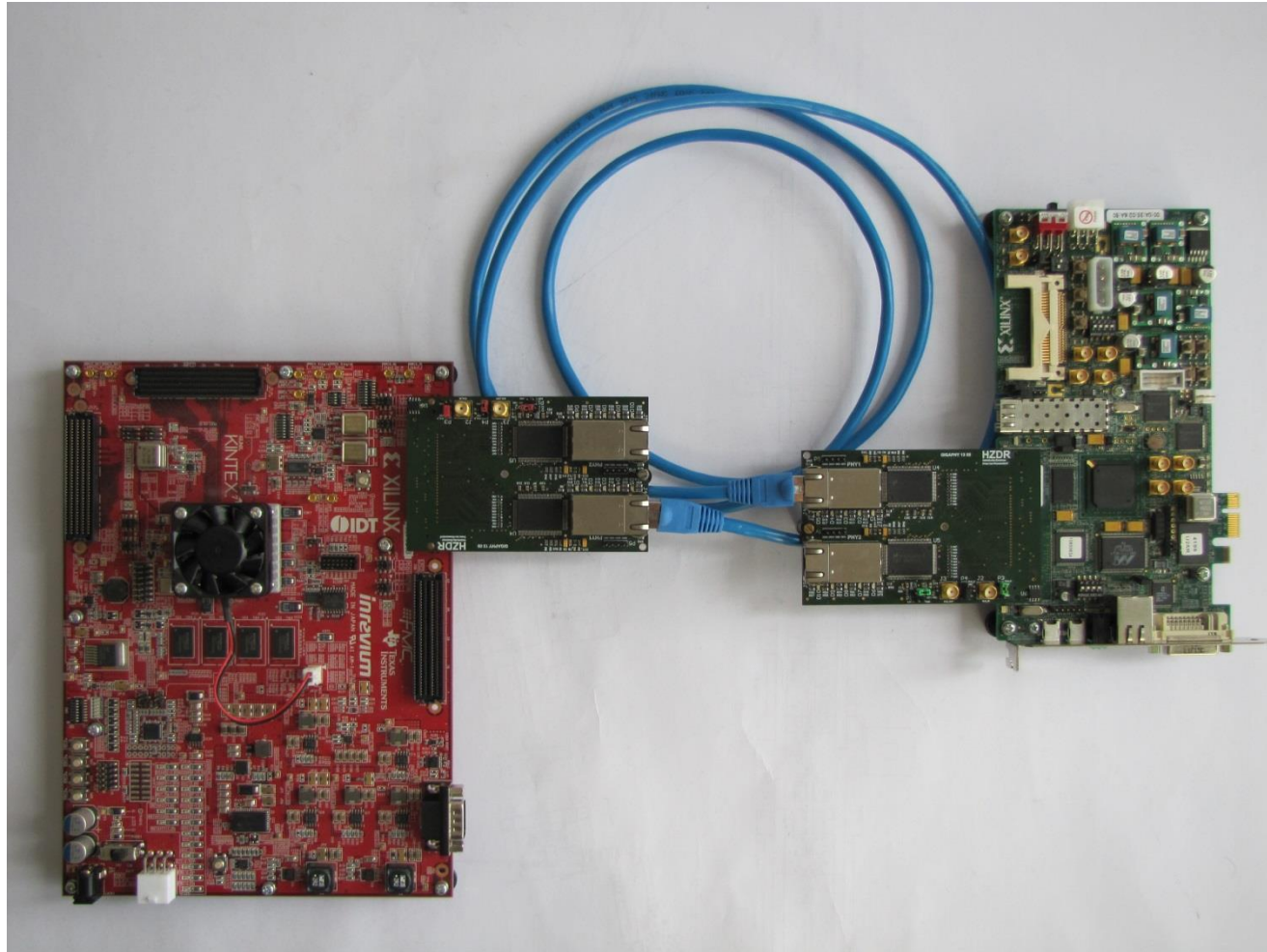
Gigabit Ethernet

- 1000Base-T erfordert Konfiguration der Link-Partner (Auto-Negotiation)
- 1 Master und 1 Slave (manuelle Konfiguration)
- Master sendet Daten mit lokalem Takt
- Slave sendet Daten mit dem Takt des Masters (Clock Recovery)
 - ADC Subsystem onChip
 - „high precision and low jitter Clock Recovery Module“ [1]
- 25MHz Mastertakt -> 125MHz Slavetakt (RX_CLK)

2. Systemaufbau

Messaufbau

MASTER
-GigaPhy
-Kintex 7
-ext.
Taktquelle

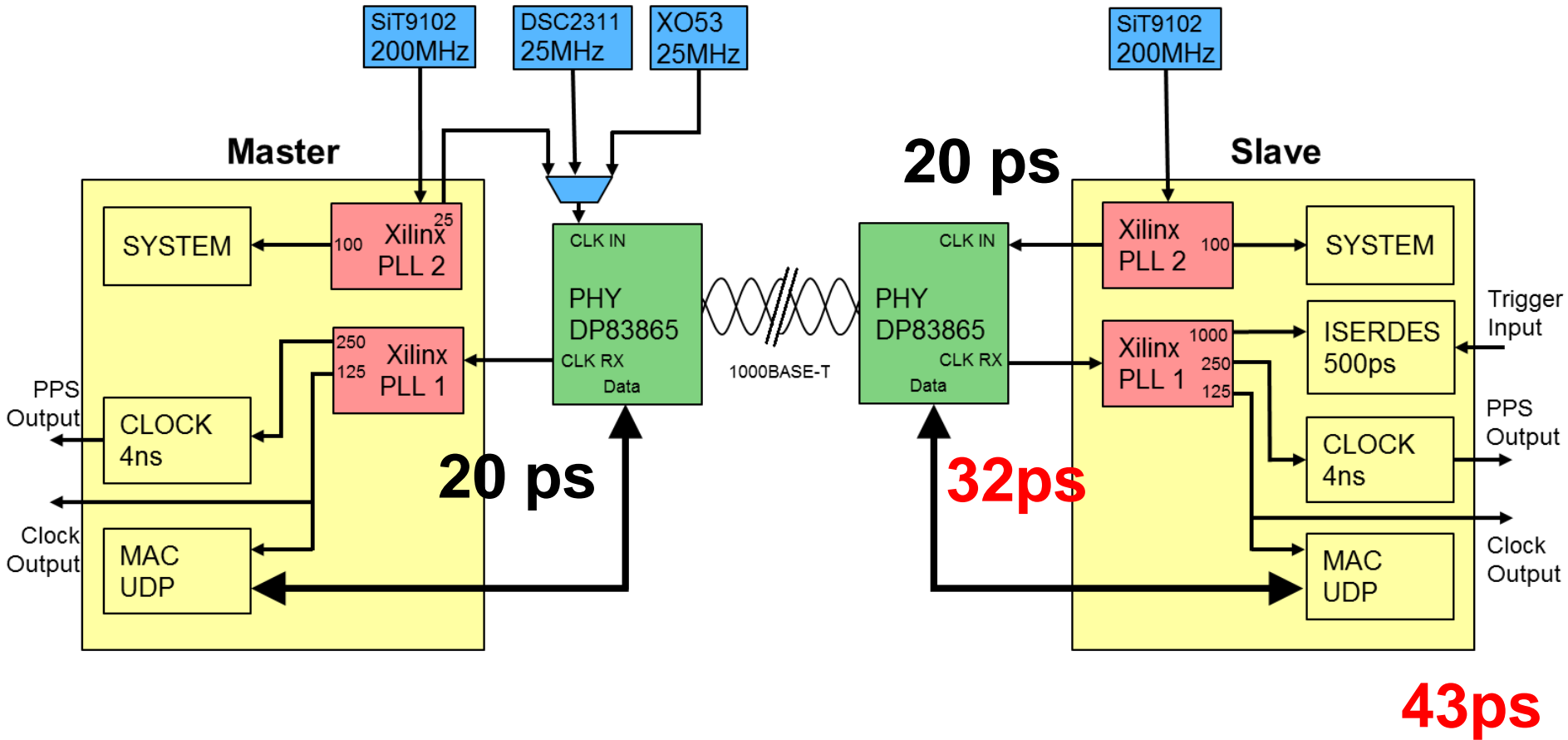


SLAVE

-GigaPhy
-Spartan6
-onBoard
Quarz

3. Taktsynchronisierung Ergebnis

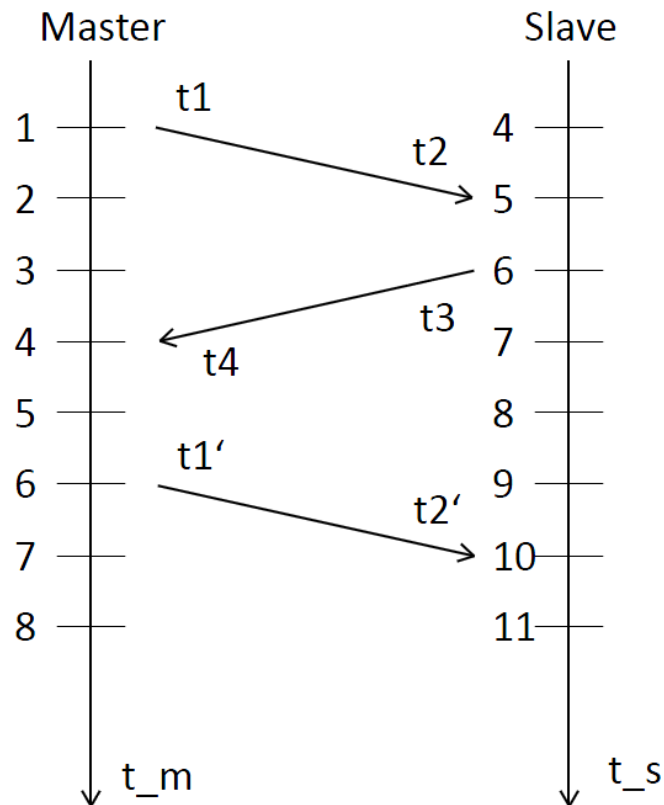
$T_J = 5 \text{ ps}$



3. Taktsynchronisierung

Precision Time Protocol

Ziel: Synchronisierung von zwei Uhren (Timestamp) mit unterschiedlichen Taktsignalen (Clock)

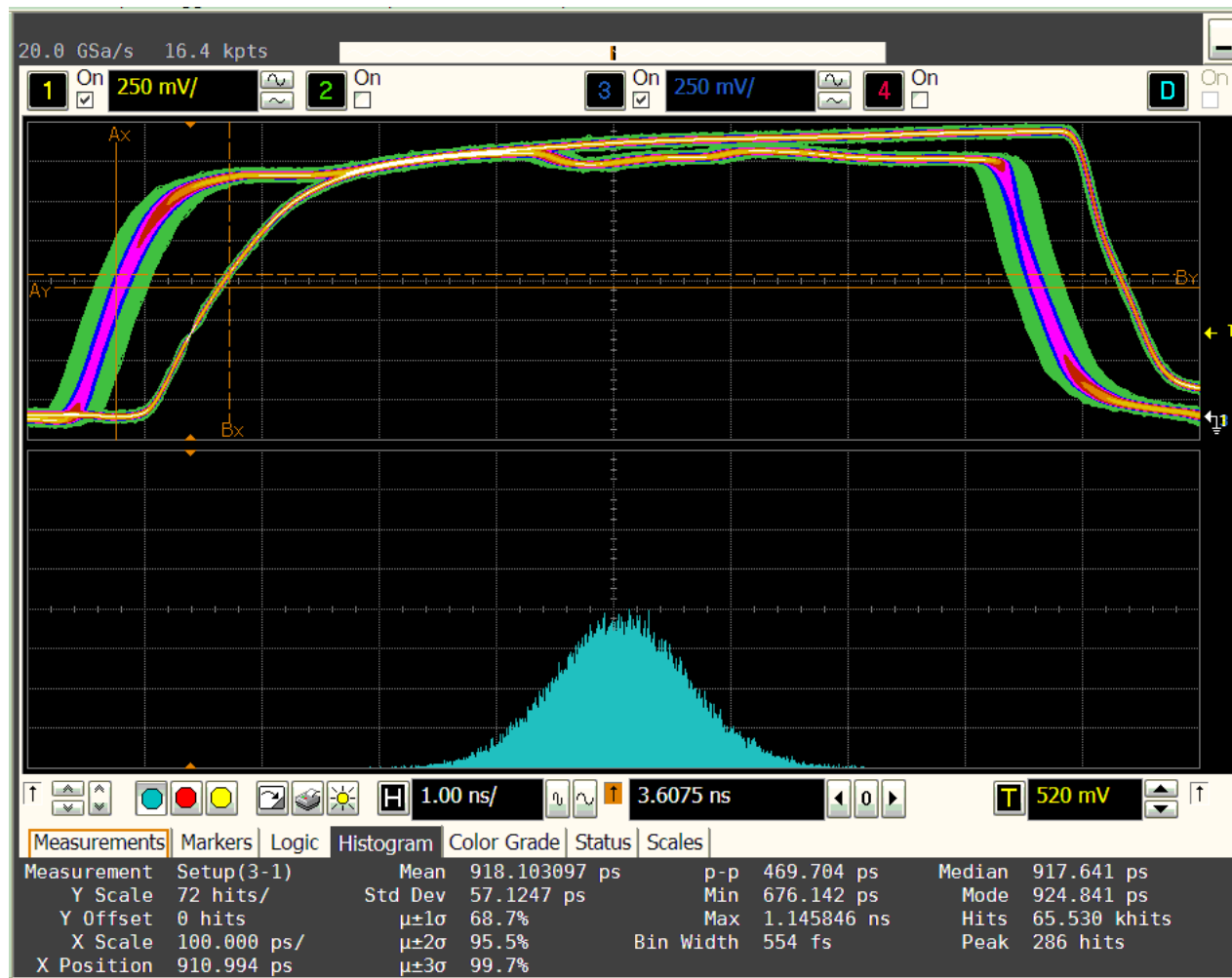


$$t_m = t_s - \text{offset}$$

Berechnung des Offset mit PTP:

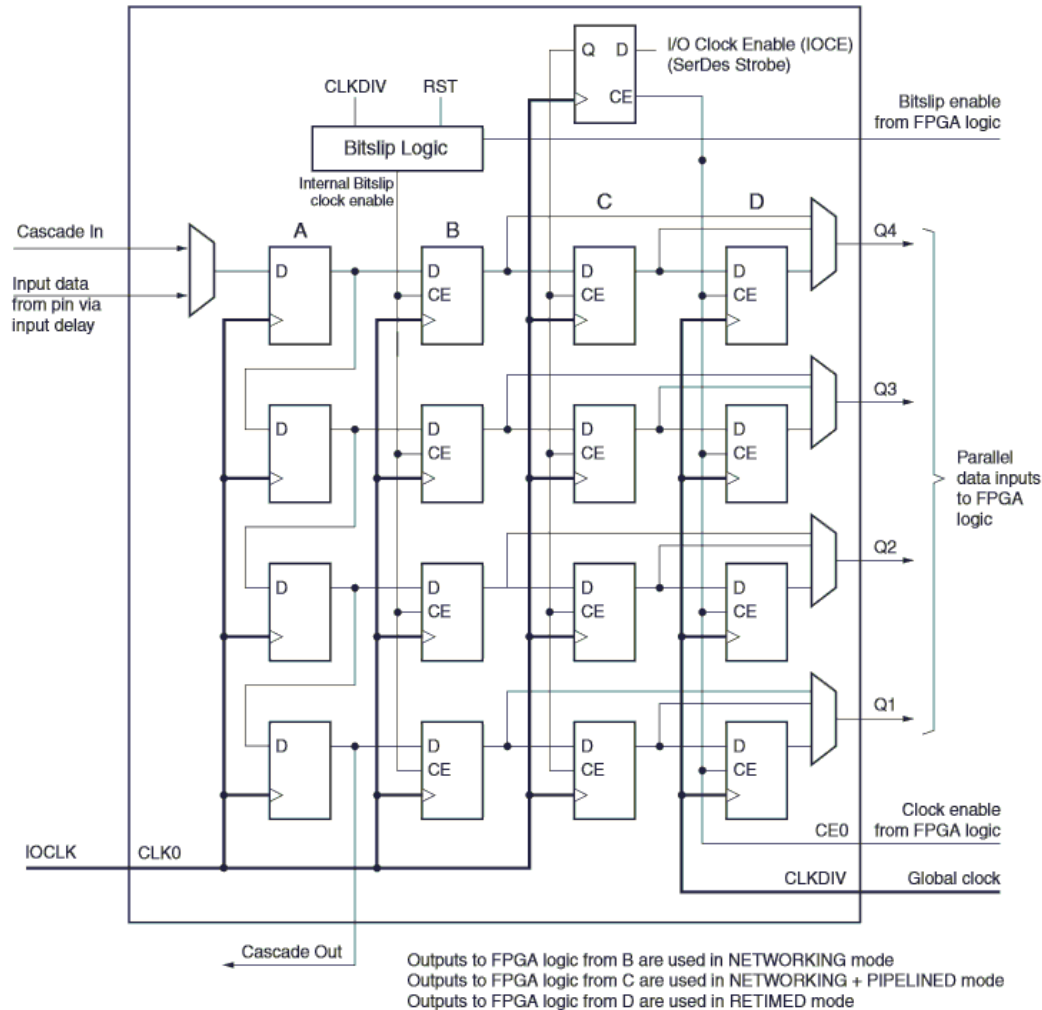
$$o = ((t_2 - t_1) - (t_4 - t_3)) * 0.5$$

3. Taktsynchronisierung Uhrenabgleich / Pulse Per Second



4. Zeitmessung

Xilinx ISERDES Logic

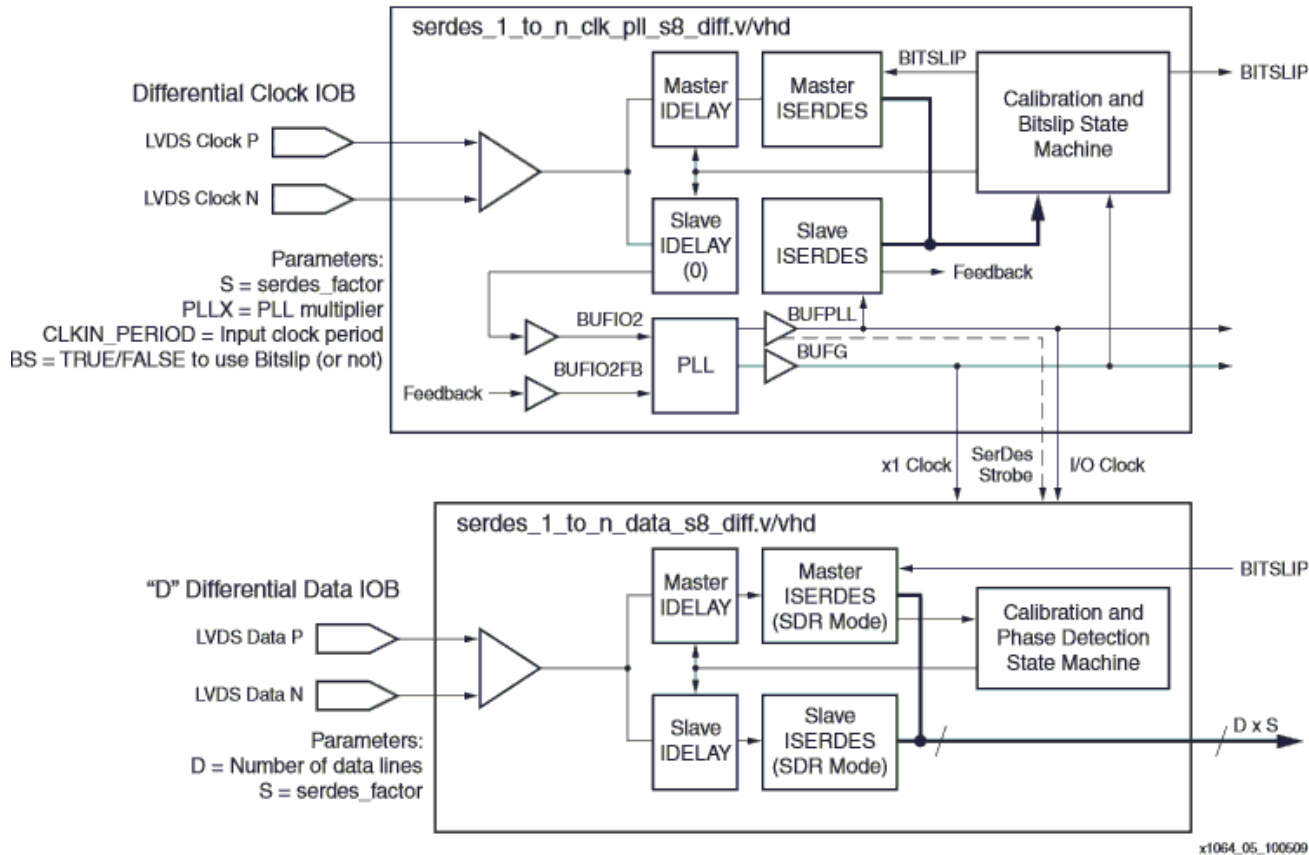


1:4 Deserializer
up to 1050 Mb/s

Figure 3-1: Overview of the ISERDES2 Block in SDR Mode

4. Zeitmessung

TDC mit Xilinx ISERDES Logic

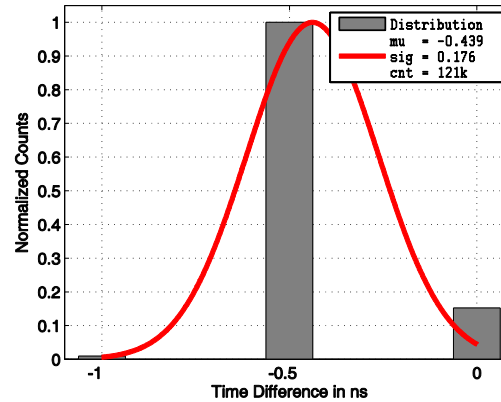
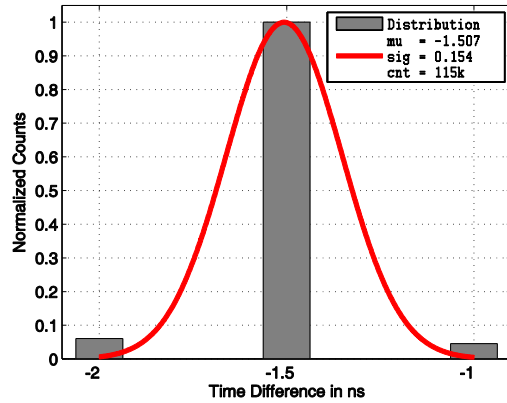


Master Serdes:
1 GHz
Slave Serdes:
1 GHz (invertiert)
Sampling Freq:
2GHz
500ps bin width

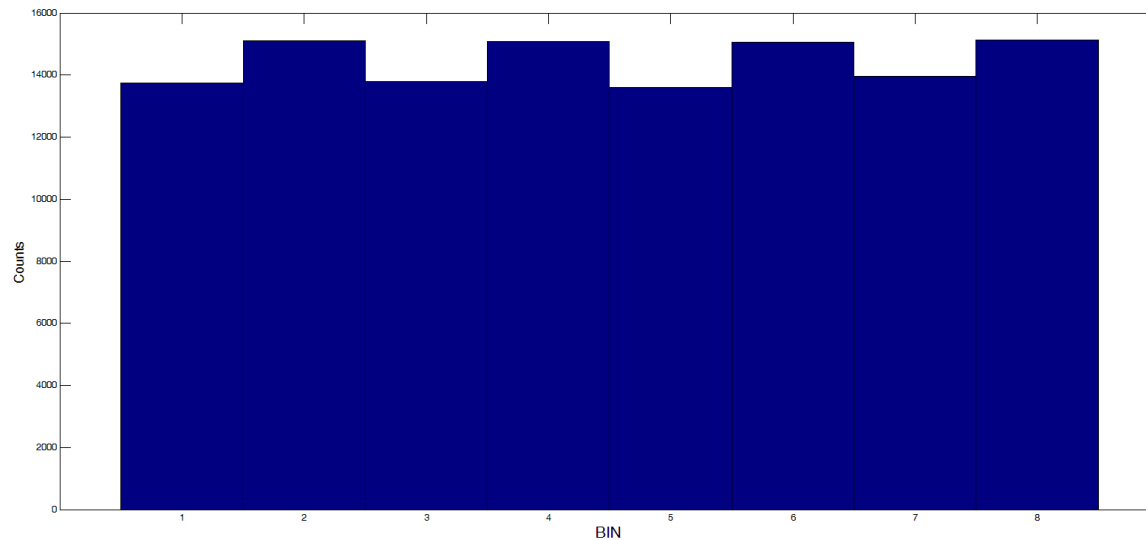
Figure 5: Data Reception Using PLL and BUFPLL

4. Zeitmessung

TDC mit Xilinx ISERDES Logic



Timestamp Differenz



TDC BIN Verteilung

Vielen Dank für Ihre Aufmerksamkeit